

BEST AVAILABLE COPY

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 07-281636

(43)Date of publication of application : 27.10.1995

(51)Int.Cl.

G09G 3/36

G02F 1/133

(21)Application number : 06-069639

(71)Applicant : ASAHI GLASS CO LTD

(22)Date of filing : 07.04.1994

(72)Inventor : MOGI HIROYUKI

KUWATA TAKESHI

NAKAGAWA YUTAKA

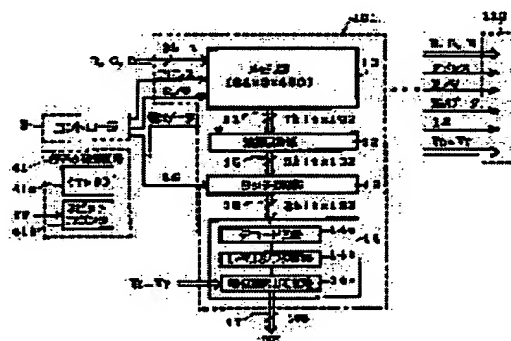
NAKAZAWA SATOSHI

(54) DRIVING DEVICE USED FOR LIQUID CRYSTAL DISPLAY DEVICE,
SEMICONDUCTOR INTEGRATED CIRCUIT FOR DRIVING COLUMN ELECTRODE AND
SEMICONDUCTOR INTEGRATED CIRCUIT FOR DRIVING ROW ELECTRODE

(57)Abstract:

PURPOSE: To miniaturize the device as a whole and to reduce power consumption by providing a semiconductor integrated circuit for driving column electrode with a memory part having a control circuit outputting data and an arithmetic circuit part arithmetically processing a voltage applied to a liquid crystal output circuit part.

CONSTITUTION: A column driver 101 comprises a memory part 10, a signal line 11 for outputting column data to a liquid crystal display panel 20, an arithmetic circuit part 12 inputting selected data from a row data generating circuit 41 and performing a prescribed calculation, a latch circuit 13 inputting the output of the arithmetic circuit 12 through a signal line 15 and latching it and a liquid crystal output circuit part 14 inputting the latch data through a signal line 16 and outputting a voltage complied with the latch data to an output line 17. Data are simultaneously outputted from the memory part 10 every time when one of selected data is given from the row data generating circuit 41. The arithmetic circuit part 12 also performs calculation at the



same time. Consequently, the clock frequency is made low and the power consumption is reduced.

LEGAL STATUS

[Date of request for examination] 22.02.2001

[Date of sending the examiner's decision of rejection] 10.06.2003

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

[Date of extinction of right]

Copyright (C); 1998,2003 Japan Patent Office

BEST AVAILABLE COPY

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開

特開平7-

(43) 公開日 平成7年

(51) Int. CL⁶

識別記号

片内整理番号

P I

G 0 9 G 3/36

G 0 2 F 1/133

5 4 5

審査請求 未請求 請求項の数 7 O L

(21) 出願番号

特願平6-69639

(22) 出願日

平成6年(1994)4月7日

(71) 出願人 000000044

旭硝子株式会社

東京都千代田区丸の内2丁目

(72) 発明者 茂木 宏之

神奈川県横浜市神奈川区羽沢

旭硝子株式会社中央研究所内

(72) 発明者 桑田 武志

神奈川県横浜市神奈川区羽沢

旭硝子株式会社中央研究所内

(72) 発明者 中川 豊

神奈川県横浜市神奈川区羽沢

旭硝子株式会社中央研究所内

(74) 代理人 弁理士 田澤 博昭 (外2名)

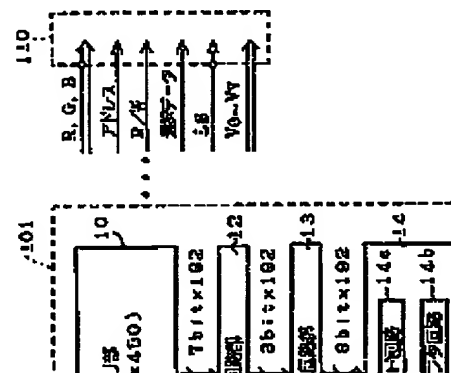
(54) 【発明の名称】

液晶表示装置に用いられる駆動装置ならびに列電極駆動用半導体集積回路および行電極集積回路

(57) 【要約】

【構成】 同時選択される複数ラインにおける各行のデータ毎に表示データのデータ出力を行うメモリ部10と、メモリ部の出力データと選択された行に印加される電圧パターンを示す選択データとを入力して、液晶出力回路部が選択すべき電圧を指定する情報を作成する演算処理を行う演算回路部12とが形成される。

【効果】 この集積回路を用いれば、駆動回路を全体として小型化できる。



(2)

特開平 7 -

1

2

【特許請求の範囲】

【請求項 1】 複数ライン同時選択法によって駆動される液晶表示装置の列電極を駆動する半導体集積回路であって、同時選択ライン数に応じたレベル数の電圧値から、指定された電圧値を選択して各列電極に印加する液晶出力回路部が形成された液晶表示装置に用いられる列電極駆動用半導体集積回路において、

表示データを記憶するとともに、同時選択される複数ラインにおける各行のデータ毎にデータ出力を行う制御回路を有するメモリ部と、

前記メモリ部の出力データと選択された行に印加される電圧パターンを示す選択データとを入力して、前記液晶出力回路部が選択すべき電圧を指定する情報を作成する演算処理を行う演算処理回路を有する演算回路部とを含むことを特徴とする液晶表示装置に用いられる列電極駆動用半導体集積回路。

【請求項 2】 メモリ部の制御回路は、2行ないし15行のデータ毎にデータ出力を行い、

演算回路部の演算処理回路は、2ないし15ビットの選択データと前記メモリ部の出力データとを対象に演算処理を行う請求項 1 記載の列電極駆動用半導体集積回路。

【請求項 3】 入力されたデータに、補正あるいは階調表示処理を行って、処理後のデータをメモリ部に書き込む補正部を含む請求項 1 または 2 記載の列電極駆動用半導体集積回路。

【請求項 4】 メモリ部は、1ドットについて複数ビットを記憶しうる記憶容量を有し、選択信号に応じていずれかのビットを出力する請求項 1 または 2 記載の列電極駆動用半導体集積回路。

【請求項 5】 メモリ部の制御回路は、一時に複数列のデータを出力し、

演算回路部は、メモリ部から一時に読み出される列数分の演算処理回路を有する請求項 1 ないし 4 記載の列電極駆動用半導体集積回路。

【請求項 6】 複数ライン同時選択法によって駆動される液晶表示装置の行電極を駆動する半導体集積回路であって、選択データに応じた電圧値を同時に選択される行電極に印加するロウドライバが形成された液晶表示装置に用いられる行電極駆動用半導体集積回路において、選択パターンを発生する行電極選択パターンを構成する

【0001】

【産業上の利用分野】この発明は、主に、駆動する駆動装置ならびに列電極駆動用および行電極駆動用半導体集積回路に関

【0002】

【従来の技術】図 7 は従来の液晶表示装置を示すブロック図である。図において、表示パネル 20 は、スーパーインテッドネマティック液晶表示素子等が画素数に応じて多数配置されたものである。液晶パネルは、走査線を駆動する半導体集積回路（以下、LSI ともいう。）によるロウドライバ 22 および表示データを表示力する LSI によるカラムドライバ（X が配置される。

【0003】数多くの走査線および表示線するために、一般的に、図 7 に示すようカラムドライバ 21 およびロウドライバ 22 である。カラムドライバ 21 は、選択線の表すラッチ回路や印加する電圧を選択含む。ロウドライバ 22 は、選択線を示すシフトレジスタや走査線に印加する選択回路を含む。X = 640 ドット、Y の白黒の VGA パネルの場合には、例えばカラムドライバ 21 および 4 個のロウドライバ 22 である。その場合、各ロウドライバ 22 は、120 本の出力 27 を受け持つ。すなわち選択信号を出力する。また、各カラムドライバ 21 は、それぞれ、力 28 から液晶パネル 20 にオンオフ表示レベルを印加する。

【0004】コントローラ 23 は、入力データを一度表示 RAM 24 に書き込むとと線 25、26 を介してカラムドライバ 21 およびロウドライバ 22 に制御信号を与える。ドットの液晶表示装置の場合には、コントローラ RAM 24 には、アドレス信号およびリが与えられ、表示データがコントローラ RAM 24 が複数個設け

(3)

特開平 7 -

3

4

られる制御信号として、選択データ（シフトデータ）、選択データをシフトするためのシフトクロック、ロウドライバが液晶パネル20に印加するための液晶表示用電圧、および液晶駆動出力を交流化する交流化信号等が含まれる。

【0006】以上のように、液晶表示装置、特に大型の液晶パネル20を有する液晶表示装置においては、多数の制御信号、多数のドライバ21、22、大きなメモリおよび大規模なコントローラ23が必要とされる。液晶パネル20がカラー表示用のものである場合には、1画素についてR、G、B3ドットが必要とされる。例えば、640×480画素の表示パネルにおいて、640×3×480の液晶表示素子が必要である。よって、取り扱うデータが3倍となって、カラムドライバ21の規模は白黒の場合の3倍になる。すなわち、液晶表示装置における回路構成はさらに大規模化する。

【0007】上述した液晶表示装置は、走査線が一度に1本選択されるものである。ところが、近年、同時に複数の走査線を選択して駆動する方法が開発されている。その駆動方法には、特開平5-100642号公報に開示されているような全ラインを同時に選択する方法と、特開平6-27907号公報に開示されているような全走査線をいくつかのグループに分け各グループ内のラインを同時に選択する方法とがある。図8はそれらの方法が適用される液晶表示装置における駆動回路の構成を示すブロック図である。

【0008】図において、A-D変換器31R、31G、31Bは、表示されるべきR、G、Bデータをデジタルデータに変換するものである。補正器32は各デジタルデータを、 γ 補正等を施した後表示RAM24に格納する。データセクタ34は、表示RAM24から所定のアルゴリズムに従ってデータを読み出し、それらをメモリ35a～35nに格納する。階調制御回路36a～36nはメモリ35a～35nからデータを読み出し、それらについて階調制御を施すものである。演算回路37は、行選択パターンと階調制御回路36a～36nの出力とについて所定の演算を行って液晶パネル20に出力されるべき表示データを作成し、それをカラムドライバ21に供給する。タイミング発生回路40は、A-D変換器31R、31G、31Bおよび行データ

もコントローラ23に含まれるものと考えた。簡単のために、それぞれ1個のカラーとロウドライバ22とが図示されている。【0009】次に液晶パネル20の駆動体的に説明する。A-D変換器31R、は、出力6ビットのものであるとする。A-D変換器31R、31G、31Bは、タ路40からのタイミング信号に従って、あるR、G、Bデータを64階調のデータに変換する。補正器32は、各デジタル γ 補正等の補正処理を行い、必要な所定3ビット（8階調）へのビット変換を行6ビットのデータに対して、液晶パネル度とデータ値との関係が線形になるように、3ビットのデータとする。補正後のRAM24に格納される。

【0010】同時選択ライン数を7ラインと、480ライン中のグループ数は、48、57≒69である。メモリ35a～場合には、69個設けられる。データセ各グループを構成する7ライン×640ータを、各メモリ35a～35nに振りて、各メモリ35a～35nには、それ択される7ライン）×640×3のデー（7×640）画素の表示エリアに対応定される。R、G、Bの各データは3ビットつまり、各表示エリアに対して、R、G、について（7×640×3）ビットが存在制御回路36a～36nは、フレーム変による階調制御を実施する。例えば、図9にフレーム変調を実行しようとする、各メモリ35nには、複数フレームのデータが設定はならない。つまり、各メモリ35a～×640×3）ビットの何倍かの容量を、階調制御回路36a～36nは、フレームによって、R、G、B各3ビットのデータ各1ビットのデータに変換する。従って、に対して、R、G、Bそれぞれについてトの情報、階調制御回路36a～366される。

5

を行う。その処理結果は、0～7のいずれかの値である。従って、処理結果は3ビットで表現できる。なお、この処理は、R、G、Bそれぞれについて実行される。そして、R、G、Bそれぞれ3ビットの処理結果は、カラムドライバ21に送られる。次に、演算回路37は、7行2列のデータについて上記処理を行い、処理結果をカラムドライバ21に送る。以後、7行m列（mは640まで）のデータについて順次上記処理が施される。最初に駆動されるグループについて7行640列までの処理が完了すると、演算回路37は、次に駆動されるグループについて上記処理を順次実行する。全てのグループについての処理が完了すると、1フレームの処理が完了したことになる。

【0012】図11はカラムドライバ21の構成例を示すブロック図である。このカラムドライバ21は、1個のLS1で構成されている。図において、データメモリ50は、64列分の表示データを格納するメモリである。シフトレジスタ51は、書き込み用種信号(スタートパルス)をシフトしてデータメモリ50における書き込み先を指定する。ディスプレイラッチ53は、ラッチ信号(LS)が入力されると、データメモリ50の内容をラッチして液晶出力回路58に供給する。コントロール回路52は、データメモリ50、シフトレジスタ51およびディスプレイラッチ53に制御信号を与えるものである。なお、ここでは64列の表示データを扱うカラムドライバ21が示されているので、1行が640画素の液晶パネル20を駆動するには、10個のカラムドライバ21が必要とされる。そして、10個のカラムドライバ21は縦続接続される。つまり、シフトレジスタ51の出力は次段のカラムドライバにおけるシフトレジスタ51に入力され、演算回路37からの表示データは全てのカラムドライバ21におけるデータメモリ50に供給される。

【0013】次に、図11に示すカラムドライバ21の動作について説明する。コントロール回路52は、EO11信号を入力すると、データメモリ50、シフトレジスタ51およびディスプレイラッチ53をアクティブ状態にする。データメモリ50には、1列についてR、G、Bそれぞれ3ビット、計9ビットの表示データが演算回路37から入力される。シフトレジスタ51はスタ

【0015】各表示データは3ビットか
また、液晶表示回路58は、デコーダお
た回路を有する。さらに、液晶表示回路
のレベルの電圧 $V_0 \sim V_7$ が入力されて
回路58は、ディスプレイラッチ53か
たり3ビットのデータをデコードする。
ド値に応じた電圧を選択し、その電圧を
印加する。1個の液晶表示回路58から
Bの各ドットに対応)×64(画素数に
本の出力が液晶表示パネル20に出力さ
て、液晶表示パネル20には、192×
20本の出力が供給される。各出力は、 $V_0 \sim$
いずれかの電圧値をとる。なお、ここで
一液晶パネルにカラムドライバ21を適
いて説明したが、TFT(Thin Film Tr
パネルにこのカラムドライバ21を流用
る。また、メモリ50およびシフトレジ
G、Bそれぞれのシフトレジスタで置き
る。

【0016】図12はロウドライバ22を示すブロック図である。このロウドライバのLSIで構成されている。図において、タ70は、データSPDI（選択データ）とDCLKによってシフトするもので、1レジスタ72は、ロード信号LOADで選択データを取り込む。シフトレジスタ信号LOADをシフトクロックとしてシフトする。そして、液晶出力回路71に印加する。

【0017】次に、ロウドライバ22の

シリアル入力される。シフトレジスタ70は、シフトクロックD SCKによって選択データをシフトする。7個のシフトクロックD SCKが入力された後、ロード信号LOADが入力される。すると、選択パターンレジスタ72は、シフトレジスタ70の内容を取り込む。従って、選択パターンレジスタ72には、パラレル信号の選択データが設定される。

【0019】シフトレジスタ74は12段のレジスタである。また、ロウドライバ22が6個のうちの初段のものであるならば、IOL入力として、1フレームの先頭を示すフレームパルスが入力されている。そして、ロード信号LOADをシフトクロックとしてフレームパルスをシフトする。シフトレジスタ74の内容はグループを選択する信号として液晶出力回路75に供給されている。また、液晶出力回路75には、選択時に使用する電圧V₊、V₋と非選択時に使用される電圧VG（V₊とV₋との中間の電位）とが供給されている。液晶出力回路75は、入力したシフトレジスタ74の内容をデコードしてどのグループが選択されているか知る。第1のグループが選択されているとすると、液晶出力回路75は、第1のグループに含まれる7本の行電極に対して、選択パターンレジスタ72の内容における対応するビットの値に応じた電圧を供給する。すなわち、液晶出力回路75内のレベルシフト回路は、対応ビットが「1」であるならば、選択電圧V₊を印加し、「0」であるならば、選択電圧V₋を印加する。選択されていない11グループの各行電極には、非選択電圧VGを印加する。この時点で、カラムドライバ21は、既に説明したような動作によって、選択された行電極に対応した表示データに対応する電圧を各列電極に印加している。

【0020】以後、選択パターンレジスタ72が液晶出力回路75に与える出力が順次変化し、各グループの各行電極に選択電圧が印加される。12グループ全ての選択が完了した時点で、シフトレジスタ74のIOR出力にフレームパルスが押し出され、次段のロウドライバ22のIOL入方にフレームパルスが供給される。従って、次段のロウドライバ22は、上記処理と同様の処理を行って、各グループの各行電極に選択電圧を印加する。

[0021]

要がある。従って、やはり、メモリにデ
ク必要が出てくる。

【0022】また、表示RAM24の他、35nも必要である。メモリ35a～35nは表示RAM24をなくすように構成されるが、そのように構成した場合には、読まれてくるデータを並び換えてメモリ35a～35nに書き込むためのアドレス制御が複雑になり、アドレス制御回路を設けなければならない。4およびメモリ35a～35nには、同様の書き込みが可能な標準市販品のビデオRAMを用いるのがよい。その場合に、Vのメモリ領域が用いられるわけではない、無駄な記憶領域が生じてしまう。

【0023】複数ライン同時選択法においては、高速の演算速度が求められる。1に40フレームを表示しようとするとき、G、B)×480ドットの液晶パネル2ライン同時選択を実現する場合には、1ド1(SEC)/40(枚)×(7本/480・569.66nsec

の演算速度が要求される。図13に示す
用いた場合には、交換化のために、選択
の全ての列(8列)分に対応した演算を
らず、結局、1ドットあたり、
 $569 \cdot 66 / 8 = 71 \cdot 2 \text{ nsec}$

の速度で各列の演算を行わなくてはなら
は、走行する車両等の動画を表示する場
りさらに多数のフレームを液晶パネル
ればならず、演算回路 37 には、より高
カラムドライバ 21 への転送速度が求め

【0024】消費速度を上げるには、高
ック信号が必要とされる。よって、 $P =$
 V より、消費電力が増加する。また、列
に比較的容量の大きいメモリ35a~3
られているので、やはり消費電力が増加
消費電力が大きいということは、小型携
うな複数ライン同時選択法を実現する難
ることが困難であることを意味する。さ
ように従来の複数ライン同時選択法を事

9

【課題を解決するための手段】請求項1記載の発明に係る列電極駆動用半導体集積回路は、複数ライン同時選択法によって駆動される液晶表示装置の列電極を駆動する半導体集積回路であって、表示データを記憶するとともに、同時選択される複数ラインにおける各行のデータ毎にデータ出力を行う制御回路を有するメモリ部と、メモリ部の出力データと選択された行に印加される電圧パターンを示す選択データとを入力して、液晶出力回路部が選択すべき電圧を指定する情報を作成する演算処理を行う演算処理回路を有する演算回路部とが形成されているものである。

【0027】請求項2記載の発明に係る列電極駆動用半導体集積回路は、同時選択ライン数が2～15のいずれかである複数ライン同時選択法にもとづく液晶表示装置に適用されるものであって、メモリ部の制御回路が、2行ないし15行のデータ毎にデータ出力を行い、演算回路部の演算処理回路が、2ないし15ビットの選択データとメモリ部の出力データとを対象に演算処理を行う構成になっているものである。

【0028】請求項3記載の発明に係る列電極駆動用半導体集積回路は、入力されたデータに γ 補正を施すか、あるいは、階調表示処理を行って、処理後のデータをメモリ部に書き込む補正部を含む構成になっているものである。

【0029】請求項4記載の発明に係る列電極駆動用半導体集積回路は、メモリ部が、1ドットについて複数ビットを記憶しうる記憶容量を有し、制御回路によって選択信号に応じていずれかビットを出力する構成になっているものである。

【0030】請求項5記載の発明に係る列電極駆動用半導体集積回路は、メモリ部の制御回路が一時に複数行複数列のデータを出力する構成であって、演算回路部がメモリ部から一時に読み出される列数分の演算処理回路を有するものである。

【0031】請求項6記載の発明に係る行電極駆動用半導体集積回路は、複数ライン同時選択法によって駆動される液晶表示装置の行電極を駆動する半導体集積回路であって、ロウドライバとともに、選択パターンを発生する行電極選択パターンを構成する回路が形成されているものである。

(6)

特開平7-

10

集積回路は、デジタル化された表示用データを入力することができる。すなわち、メモリ部には、外部のコントローラの表示用のデータが書き込まれ、メモリ部内の同時選択される複数のラインにおける各順次にまたは同時に読み出して出力する。この演算回路部内の演算処理回路は、選択データとメモリ部から出力されるデータとを対象に演算を行い、同時選択される各行の電圧に応じた値を算出する。よって、この表示用のデータを直接入力して、複数ラインに従って行電極に印加する電圧値を決定できる。

【0034】請求項2記載の発明に係る集積回路は、2ないし15ライン同時選択法が適用される回路における列電極駆動回路を表現する。この回路におけるメモリ部の制御回路は、2ラインにおける各行のデータを、順次にまたは同時に読み出して出力する。演算回路部は、1列分に15ライン分のデータ演算を行う。

【0035】請求項3記載の発明に係る集積回路は、 γ 補正あるいは階調表示処理を実行し、取り込み、液晶駆動回路の全体としての回路を小型化する。

【0036】請求項4記載の発明に係る集積回路は、表示の1ドットについて複数ビットを記憶でき、また、出力されるビットとして、これらのいずれかを選択できる。よって、メモリ部を読み出し元を切り換えるだけで簡単にデモ変調等の階調制御を実現できる。

【0037】請求項5記載の発明に係る集積回路は、演算回路部は複数の演算処理回路で、複数列について同時演算を行うことにより、駆動クロックの周波数を下げることにより、回路を小型化する。

【0038】請求項6記載の発明に係る集積回路は、行電極選択パターンを構成する回路を有するので、液晶駆動回路の全体としての回路を小型化する。

【0039】請求項7記載の発明に係る集積回路は、行電極を駆動する部分において複数の演算回路部を有するので、各演算回路部は、

(7)

特開平 7 -

11

12

示パネル 20 への列データを出力するための信号線 1

1. 信号線 11 と行データ発生回路 41 からの選択データを
入力して所定の演算を行う演算回路部 12. 信号線
15 を介して演算回路部 12 の出力を入力し、それをラ
ッチするラッチ回路部 13. および信号線 16 を介して
ラッチデータを入力し、ラッチデータに応じた電圧を出
力線 17 に出力する液晶出力回路部 14 とを含む。出力
線 17 は液晶パネル 20 の列電極に接続される。なお、
ここでも、カラムドライバ 101 は、640 画素のうち
の 64 画素を受け持つとする。そのような場合には、液
晶表示装置には、10 個のカラムドライバ 101 ~ 11
0 が設けられる。カラムドライバ 101 ~ 110 は、図
8 に示す従来の駆動回路と比較すると、表示 RAM 2
4、データセクタ 34、メモリ 35a ~ 35n、演算
回路 37 およびカラムドライバ 21 の機能を実現するも
のである。図 1 には、カラムドライバ LSI には含まれ
ないコントローラ 2 および行データ発生回路 41 も示さ
れている。行データ発生回路 41 は、例えば図 13 に示
すパターンを記憶した ROM 41a と、フレームパルス
または垂直同期信号をカウントしてカウント値をアドレ
スとして ROM 41a に与えるカウンタ 41b とで構成
される。

【0041】次に、このカラムドライバ 101 の動作に
ついて説明する。ここでは、1 画素あたり、R、G、B
それぞれ 1 ビットのデータが入力されるとする。データ
が順次に入力される場合には、コントローラ 2 は、各
走査線の第 1 画素のデータから第 64 画素のデータが入
力されるときに、書き込みアドレス信号とライト信号を
制御して、カラムドライバ 101 のメモリ部分 10 にデ
ータを書き込む。同様に、第 (640 - 63) 画素のデ
ータから第 640 画素のデータが入力されているとき
に、書き込みアドレス信号とライト信号を制御して、カ
ラムドライバ 101 のメモリ部分 10 にデータを書き込
む。このようにして、10 個のメモリ部分 10 全体とし
て、1 フレームのデータが書き込まれる。

【0042】メモリ部分 10 からデータを読み出すとき
には、コントローラ 2 は、読み出しアドレス信号とリー
ド信号を制御して、各カラムドライバ 101 ~ 110 に
おけるメモリ部分 10 から演算回路部 12 にデータを出
力させる。出力されるデータは、そのときに選択される

るグループにおける 7 行のデータ (各行
トのデータからなる。) が設定されてい
選択する。そして、69 番目に与えられ
レスに応じて、最後に選択されるグルー
のデータが設定されているメモリセルを
お、69 番目が最後なのは、480/7
ある。また、リード信号は、図 12 にお
LOAD の発生タイミングに同期してい
【0044】よって、行データ発生回路
選択データが与えられる毎に、メモリ部
× 3 × 7 ビットのデータが一齐に出力さ
部 12 は、図 10 に示すように形成され
し、1 つの演算回路部 12 には、図 10
が 64 × 3 個形成されている。従って、
算が一度に実行される。10 個のカラム
~ 110 における演算回路部 12 が同時
で、結局、7 ライン × 640 画素分の演
される。従来の構成によると、図 8 にお
7 は各列毎に 7 ライン × 1 画素分の演算
【0045】従来の構成では、表示 RAM
メモリ 35a ~ 35n として個別記憶素子
- RAM を用いていたので、各メモリ 3
は、7 ライン × 640 画素の形式 (7 行
ータを設定せざるを得ない。できれば本
同一列の 7 画素分のデータが直接同時に
に各メモリ 35a ~ 35n にデータを設定
るが、市販品の V-RAM を用いる限り
うに設定できない。設定しようとする
に大規模なアドレス制御回路を用意しな
い。また、そのように、メモリ 35a ~
タを読み出す部分が (図 8 に示した例で
36a ~ 36n が)、同一列の 7 画素分
同時に読み出したとしても、640 列分
に読み出さなければならぬので、演算
は順次処理とならざるを得なかった。

【0046】しかし、LSI におけるメ
読み出しアドレスデコーダを、同一列の
タを直接読み出せるようにかつ 64 列分
出せるように構成できるので、本実施例
回路部 12 は、64 列の各 7 画素分のデ

(8)

特開平 7 -

13

データ信号に書き込むデータが印加されるとともにワード線がアクティブにされる。データ信号に印加されたデータはインバータ 96 を介してデータ線 D に供給され、さらにインバータ 95 を介してデータ線 D- に供給される。記憶素子には、ゲートがワード線に接続されるとともにドレインがデータ線 D、D- に接続されたトランジスタ 92、93 が接続される。よって、書き込み時には、トランジスタ 92、93 が導通して記憶素子へのデータ書き込みがなされる。読み出し時には、セレクト信号がアクティブになってドライバ 94 が導通状態となる。よって、記憶素子内のデータが出力線に出力される。つまり、データ線 D、D- とは異なるポートにデータが出力される。よって、一般の RAM セルからの読み出し時に必要であるデータ線のプリチャージが必要でなくなり、任意の時点でデータを読み出すことができる。図 3 はメモリ部の一構成例を示すブロック図である。図において、メモリセルアレイ 10d は、 $64 \times 3 \times 7$ セルのメモリセル $10_{11} \sim 10_{112} \dots 10_{11} \sim 10_{112}$ からなっている。メモリセルへのデータ書き込み時には、アドレス入力に応じて行デコード 10e が選択した行の各メモリセルのうち、アドレス入力に応じて列デコード 10f が選択したメモリセルに、R、G、B いずれかのデータが書き込まれる。なお、NAND 回路 10g およびインバータ 10h は、図 2 におけるインバータ 96、95 に対応する。メモリセルからのデータ読み出し時には、読み出しアドレス入力に応じて制御回路 10c は、セレクト信号を出力する。セレクト信号は、セレクト信号に応じて $[10_{11}, 10_{11}, \dots, 10_{11}]$ の 7 セル、 \dots 、 $[10_{112}, 10_{112}, \dots, 10_{112}]$ の 7 セルが、それぞれ、まとめてデータを出力するように結線される。

【0048】LSI におけるラッチ回路部 13 は、コントローラ 2 からラッチ信号 LS の供給を受けると、演算回路部 12 が出力している $64 \times (R, G, B)$ ビットの表示データをラッチする構成になっている。すなわち、従来のディスプレイラッチ 53 と同様の処理によって表示データをラッチする。また、液晶出力回路部 14 は、 $64 \times (R, G, B)$ 本の出力を有し、電圧 $V_0 \sim V_7$ の 8 電圧レベルが入力されている。そして、ラッチ回路部 13 の各出力線に依り電圧レベルを誤検して各出

14

る場合について説明したが、比較的高いクロックが許容できるなら、1 個だけ設けを実行する構成をとってもよい。また、演算回路部 12 との間に、図 11 に示し 50 またはラッチ回路部を形成し、メモタを一旦それに取り込んだ後、演算回路するようにしてもよい。

【0050】実施例 2. 上記実施例による頻度とデータ値との関係が線形になるよう階調制御のための構成が含まれていないか実現するには、例えば、図 4 に示すように含むカラムドライバ 111 ~ 120 とす。部 18 には、例えば、図 8 における A-R、31G、31B から 1 画素あたり R、ットからなるデータが入力される。そして R、G、B 各 3 ビットからなるデータ補正はデータ変換であるからそれを実行 S1 化するのは容易である。例えば、データある ROM 部分と入力データにもとづいてを読み出す部分とで実現できる。さらには、R、G、B 各 3 ビット（各 8 階調）によって各 1 ビットのデータに変換する。これは、データテーブルである ROM 部分と易に実現できる。なお、データ補正とディザ制御とのうちの一方の機能を補正部 18 でもよい。

【0051】1 画素あたり R、G、B 各ビットのデータは、第 1 の実施例の場合部 10 に書き込まれる。以後、カラムド 120 は、第 1 の実施例によるカラムド 110 と同様に動作する。

【0052】実施例 3. 図 5 はこの発明によるカラムドライバに適用される演算構成を示す回路図である。カラムドライバ 図 1 または図 4 に示す構成と同じである。台の演算回路部 12 は、1 つのカラムドる列数、例えば 64×3 (R、G、B) されたものである。なお、図 5 に示す回れたものでもよい。

【0053】この構成は 同時選択ライ

15

実施例または第2の実施例の場合と同様に動作し、液晶出力回路部14は、ラッチ回路部13の出力に応じて、192本の各出力にV0、V1またはV2の電圧を印加する。

【0054】また、この場合には、液晶回路出力部14が液晶パネル20に対して出力する電圧の最大値を5V以下にできる。カラムドライバの最大出力電圧幅(peak topeak)をVC、ロウドライバの最大出力電圧幅をVR、液晶のしきい値電圧をT、液晶パネル20の走査線本数をN、同時選択ライン数をLとすると、

$$VR = T \left((2 \times N / L) / (1 - N^{-1/L}) \right)^{1/L}$$

$$VC = R \times L \times N^{1/L}$$

である。よって、L=2、T=2V、N=480本の場合には、VR=44.85V、VC=4.09Vである。また、L=3、T=2V、N=480本の場合には、VR=36.62V、VC=5.01Vとなり、この場合にも、ほぼ最大値を5V程度にできる。なお、L=15、T=2V、N=480本の場合には、VR=16.39V、VC=11.211Vとなる。

【0055】以上のことから、L=2または3とすると、カラムドライバが扱う電圧値を高々5V程度とすることができる。よって、カラムドライバをLSIで実現する場合に、一般的に用いられている5Vプロセスでこのカラムドライバを作製できる。従って、より高い電圧を扱うカラムドライバに比べて、レジスト、露光、エッチング等の工程数を減らすことができる。特に、5Vプロセスで作製できることから、メモリ部10を一般的なD-RAM作製プロセスと同様のプロセスで作製できる。従って、製造コストの低減とメモリ部10のサイズの小型化が実現される。また、L=2または3とした場合には、液晶出力回路部14が扱う電圧レベル数は3または4と減るので、液晶出力回路部14のサイズも小型化される。よって、LSIサイズが小型化される。

【0056】なお、同時選択ライン数を増やしていけば表示コントラスト比が改善されるが、改善度は、全走査線を480本の半分240本程度としたとき、L=15程度で飽和することが知られている。よって、Lの値は、2から15の値の中から、要求される液晶パネル20の表示性能およびLSIに許容されるサイズや電源電圧の制約等を勘案して選択される。

(9)

特開平7-

16

a、10bの構成は、図1に示すメモリと同じでよい。また、メモリ部10a、10bのアドレスおよび同一のリードライト信号、補正部19からのあるフレームのデータ10aに書き込まれたとすると、次のフレームは、メモリ部10bに書き込まれる。さきのデータは、メモリ部10aに書き込みの制御は、コントローラ2によって図6には示されていないが、例えば、コマンドイネーブル信号を供給できるようにしておき、コントローラ2が書き込み先のみをイネーブルとすればよい。

【0059】図9に示したように、あるフレーム目をオンにして2フレーム、液晶パネル20の着者には中間画提示できる。従って、2フレーム分のデータメモリ部10a、10bを用意しておけば、2の制御によって中間画度ドットを提示調が実現可能になる。つまり、コントローラ

部10a、10bからデータを出力さる実施例におけるアドレス信号供給制御信号制御を実施する。その上で、選択信号制御してデータの読み出し先を変更する。メモリ部10aに設定されているフレームのしているときに、メモリ部10b内のデータタイミングで、選択信号SELECTする。選択信号SELECTは、メモリ部における読み出し側のアドレスデコードする信号に相当している。従って、選択Tの極性が切り替わっている時点では、内のデータが演算回路部12に供給され、作は第1の実施例の場合と同様である。

合には、階調制御された後の表示データ2に供給されることが可能になっている。

【0060】なお、本実施例では、2つa、10bを設けた場合について説明し、のメモリ部を設けてもよい。また、本実施例が1ビットで表現されている異なるデータをメモリ部10a、10bに設定して説明したが、1ドットが複数ビットで

(10)

特開平 7 -

17

18

よる階調制御を実現できる。

【0061】実施例5. 上記各実施例によるカラムドライバは、図8に示された補正器32、データセクタ34、階調制御回路36a～36nおよび演算回路37のような従来ゲートアレイで実現されていた部分や、表示RAM24およびメモリ35a～35nのような従来V-RAMで実現されていた部分の機能を取り込んでいる。よって、液晶駆動回路に求められるその他の要素は、図1、図4、図6に示されたコントローラ2、行電極パターン発生回路、ロウドライバ22等である。これらは液晶駆動回路全体からみると、比較的小さな要素である。従って、それらのうちの大部分を1個のLSIに集約可能である。

【0062】例えば、従来のロウドライバ22を構成する回路と、コントローラ2を構成する回路もしくは行データ発生回路41を構成する回路とを含むものを、1個のLSIに形成する。あるいは、ロウドライバ22を構成する回路と、コントローラ2を構成する回路および行データ発生回路41を構成する回路とを含めたものを、1個のLSIに形成する。そのようなLSIを行電極駆動用に使い、上記各実施例によるカラムドライバを列電極駆動用に用いければ、駆動回路の回路規模は、従来の規模に比べて大きく減少する。なお、一般には、ロウドライバ22を含むLSIは複数個用いられるので、1つの液晶表示装置において、複数のコントローラ2や行データ発生回路41が存在することになる。しかし、そのうちの1つを有効にしておけばよい。そして、その場合でも、コントローラ2や行データ発生回路41を、ロウドライバ22を含むLSIの内部に形成しない場合に比べて、駆動回路の全体のチップ数が減少するという効果がある。

【0063】

【発明の効果】以上のように、請求項1記載の発明によれば、列電極駆動用半導体集積回路が、表示データを記憶するとともに同時選択される複数ラインにおける各行のデータ毎にデータ出力を行う制御回路を有するメモリ部と、メモリ部の出力データと選択データとを入力して、液晶出力回路部が選択すべき電圧を指定する情報を作成する演算処理を行う演算処理回路を有する演算回路部とが形成されたものとなっているので、従来液晶駆動

を行う演算回路部を有する構成になっていられる可能性の高い同時選択ライン数2・イン同時選択法に合致したものを得ることに、同時選択ラインが2行または3行の電源のみで使用できる集積回路とすることの場合には、メモリ部の形成を、一般的に成と同様に実施できる。

【0065】請求項3記載の発明によれば、用半導体集積回路が、さらに、入力された正を施す。または、さらに階調表示処理を含む構成になっているので、この集積回路によって、駆動回路を全体としてさらに、

【0066】請求項4記載の発明によれば、用半導体集積回路が、1ドットについて記憶する記憶容量を有し選択信号に応じてトを出力するメモリ部を有する構成になるこの集積回路を用いることによって、回させることなく階調制御を実現しうる減ることができる。

【0067】請求項5記載の発明によれば、用半導体集積回路が、メモリ部の制御回路行電極数列のデータを出力し、演算回路部一時に読み出される列数分の演算処理回になっているので、複数列の同時演算を、すなわち、駆動クロックの周波数を、ないので、消費電流が増加しない集積回路。

【0068】請求項6記載の発明によれば、用半導体集積回路が、さらに、選択パターン電極選択パターンを構成する回路が形成になっているので、液晶駆動回路の全規模をさらに小型化する。

【0069】請求項7記載の発明によれば、置における駆動装置が、列電極を駆動する複数個の演算回路部が設けられた構成に、各演算回路部に求められる動作速度結局、列電極駆動部分の動作クロックの、きる効果がある。

【図面の簡単な説明】

【図1】 この発明の第1の実施例によ

(11)

特開平 7 -

19

20

路図である。

【図6】 この発明の第4の実施例による複数ライン同時選択法にもとづく列駆動用半導体集積回路の構成を示すブロック図である。

【図7】 従来の液晶表示装置の概略構成を示すブロック図である。

【図8】 従来の液晶表示装置における駆動回路の構成を示すブロック図である。

【図9】 フレーム変調を説明するための説明図である。

【図10】 演算回路の一端成例を示すブロック図である。

【図11】 従来のカラムドライバの構成例を示すプロ *

* ック図である。

【図12】 従来のロウドライバの構成例を示すブロック図である。

【図13】 7行8列の行選択パターンを説明する図である。

【符号の説明】

101~110, 111~120, 12 ラムドライバ

10 メモリ部

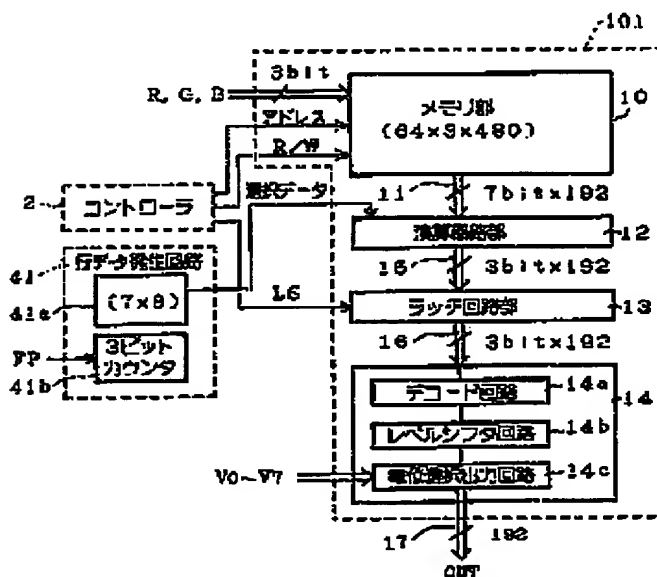
10 12 演算回路部

13 ラッチ回路部

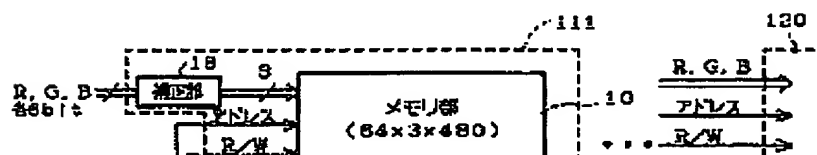
14 液晶出力回路部

18, 19 補正部

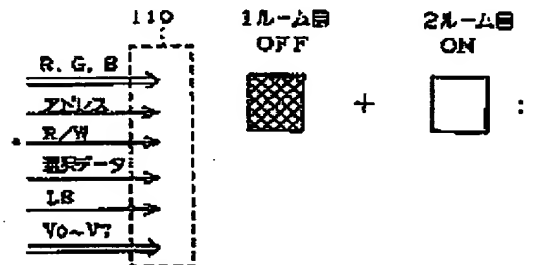
【図1】



【図4】



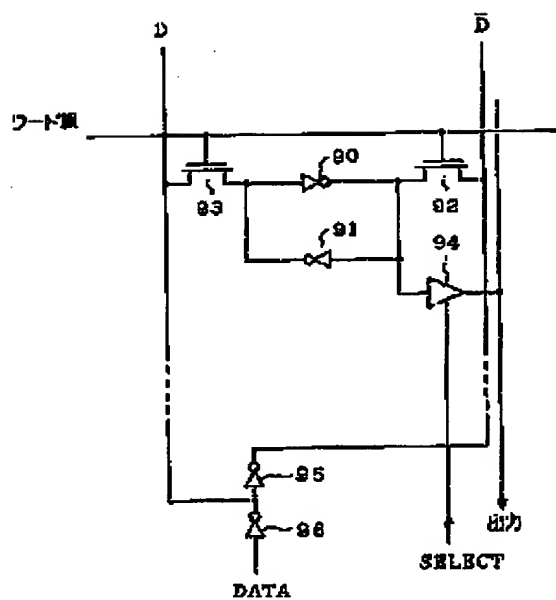
【図9】



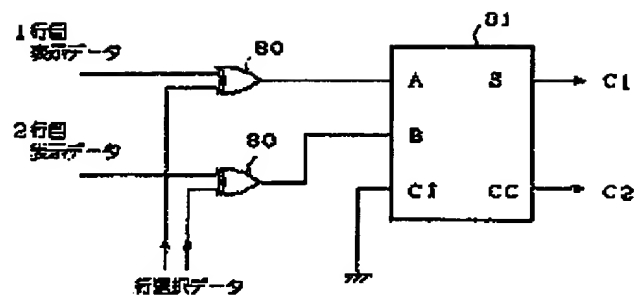
(12)

特開平7-

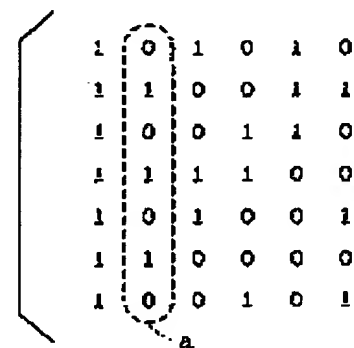
【図2】



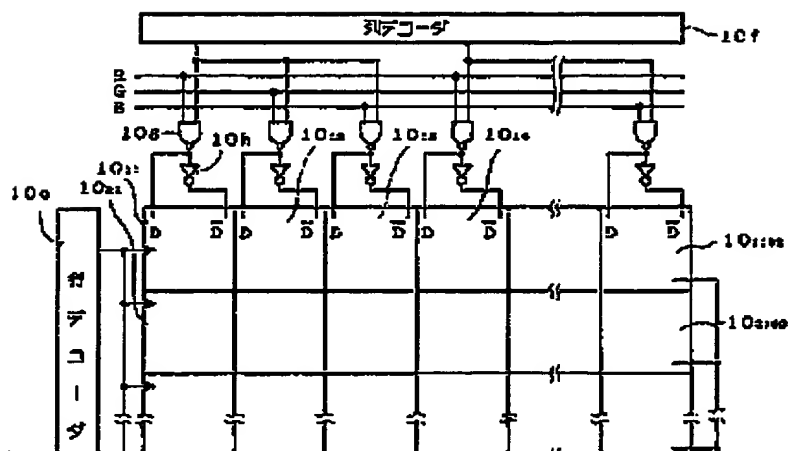
【図5】



【図13】



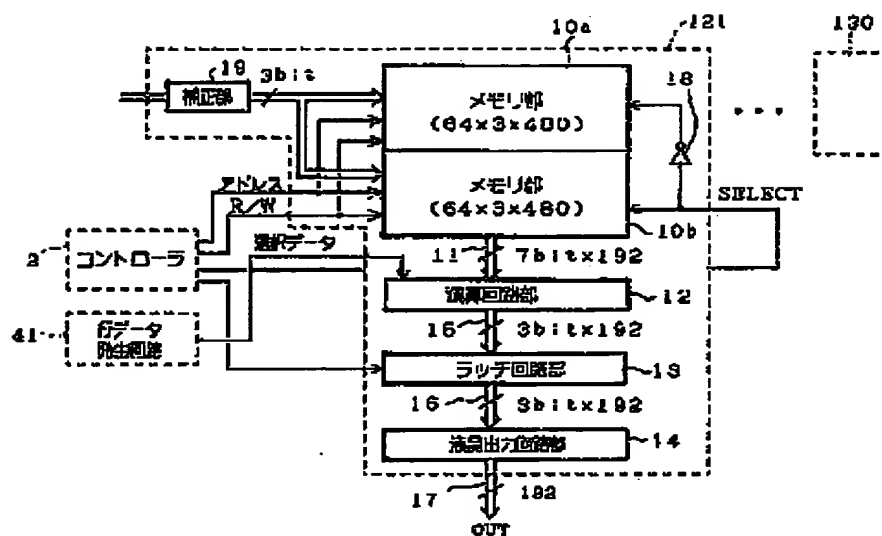
【図3】



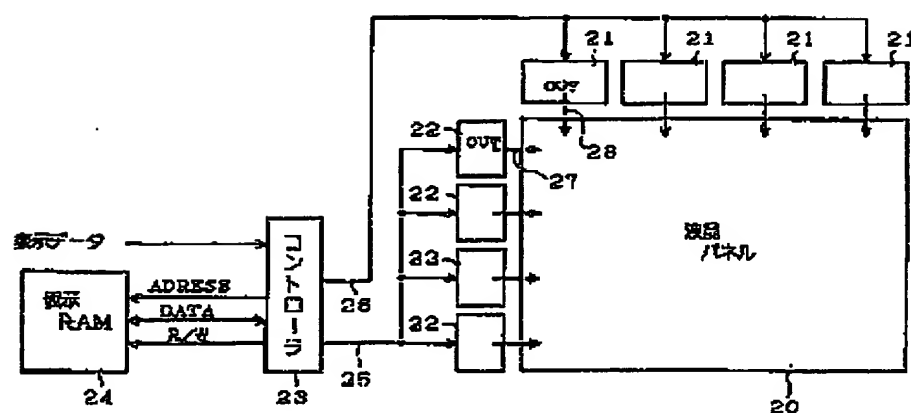
(13)

待關乎？一

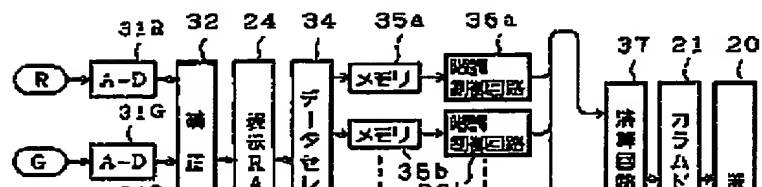
【圖6】



【图7】



【圖8】

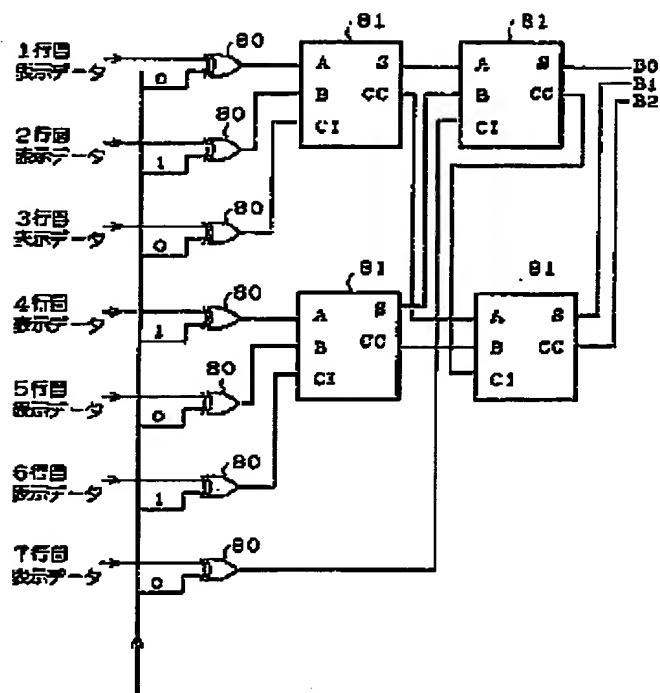


BEST AVAILABLE COPY

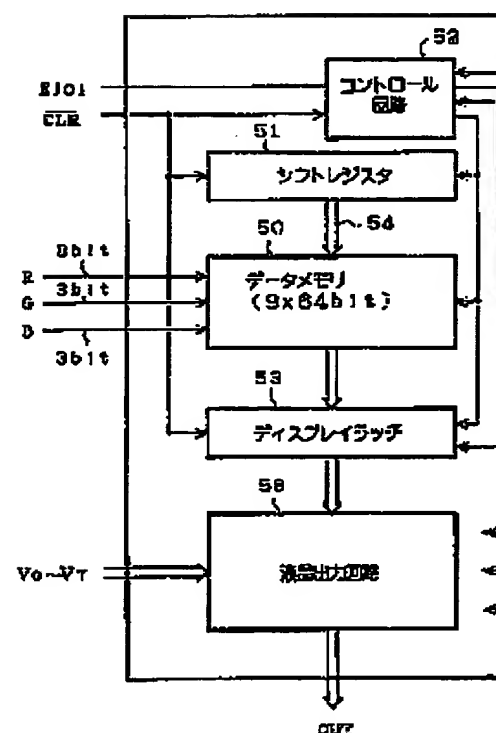
(14)

特開平 7 -

【図10】



【図11】



【図12】

